

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-216752

(43)Date of publication of application : 05.08.1994

(51)Int.Cl.

H03K 19/0185

H03K 17/10

H03K 17/687

H03K 19/003

(21)Application number : 05-303313

(71)Applicant : SUN MICROSYST INC

(22)Date of filing : 10.11.1993

(72)Inventor : ROGERS ALAN C

(30)Priority

Priority number : 92 974100

Priority date : 10.11.1992

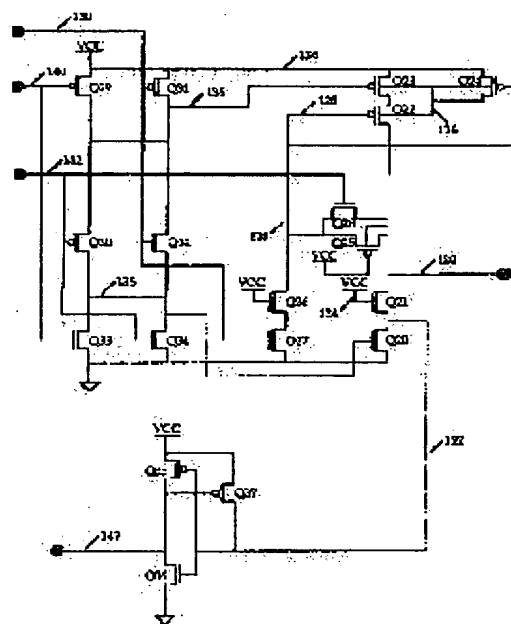
Priority country : US

(54) VOLTAGE INTERFACE CIRCUIT FOR INTEGRATED CIRCUIT, AND METHOD FOR INTERFACING INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To interface a low voltage circuit to a high voltage environment by adopting the new n-type well bias of separate circuit and MOSTr for a voltage interface circuit in order to drive the high voltage environment in the fluctuation of low voltage.

CONSTITUTION: This voltage interface circuit for interfacing an integrated circuit, which is operated by a VCC power supply voltage, to the higher voltage environment can drive the higher voltage circuit or bus recognizing the fluctuation of VCC voltage through the integrated circuit. The voltage interface circuit is composed of a three-state control part, output pull-up part, output pull-up control part and input part and the output pull-up part is composed of pchTrQ23 and pchTrQ24. The n-type well of TrQ22 is floated. When an n-type well 126 is to be connected to the VCC, with the increase of voltage at an output node 120 toward 5 V, a current increasing p-n junction between the drain of TrQ22 and the n-type well is let flow, the voltage at an n-type well 126 is increased higher than Vcc and the junction disconnection of Q22-Q24 keeps a functional state.

**LEGAL STATUS**

[Date of request for examination]

10.11.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

application converted registration]

[Date of final disposal for application]

[Patent number]

3440454

[Date of registration]

20.06.2003

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

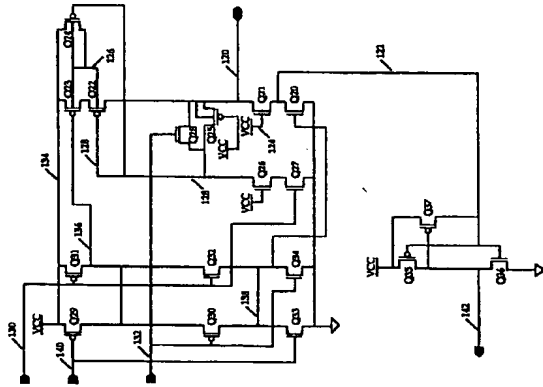
(19)日本型特許行(J.P)	(12)公開特許公報(A)	(11)特許出願公開番号	特開平6-216752	(43)公開日 平成6年(1994)8月5日																																														
<table border="1"> <tr> <td>(51)Int.Cl.³ H 03 K 19/0185 17/10 17/687</td> <td>識別記号</td> <td>庁内整理番号</td> <td>F I</td> <td>技術表示箇所</td> </tr> <tr> <td></td> <td></td> <td>9184-5 J</td> <td></td> <td></td> </tr> <tr> <td></td> <td></td> <td>8941-5 J</td> <td>H 03 K 19/ 00</td> <td>1 0 1 B</td> </tr> <tr> <td></td> <td></td> <td>7436-5 J</td> <td>17/ 687</td> <td>F</td> </tr> <tr> <td></td> <td>審査請求 未請求</td> <td></td> <td>請求項の数 3</td> <td>FD (全 9 頁) 最終頁に読ク</td> </tr> </table>		(51)Int.Cl. ³ H 03 K 19/0185 17/10 17/687	識別記号	庁内整理番号	F I	技術表示箇所			9184-5 J					8941-5 J	H 03 K 19/ 00	1 0 1 B			7436-5 J	17/ 687	F		審査請求 未請求		請求項の数 3	FD (全 9 頁) 最終頁に読ク	<table border="1"> <tr> <td>(71)出願人</td> <td>591064003</td> <td>サン・マイクロシステムズ・インコーポレートッド</td> </tr> <tr> <td colspan="3">SUN MICROSYSTEMS, INCORPORATED</td> </tr> <tr> <td colspan="3">アメリカ合衆国 94043 カリフォルニア州・マウンテンビュー・ガルシア アヴェニュー・2550</td> </tr> <tr> <td>(72)発明者</td> <td></td> <td>アラン・シイ・ロジャーズ</td> </tr> <tr> <td colspan="3">アメリカ合衆国 94303 カリフォルニア州・パロアルト・ローマザード・</td> </tr> <tr> <td colspan="3">983</td> </tr> <tr> <td colspan="3">(74)代理人 弁護士 山川 政博</td> </tr> </table>			(71)出願人	591064003	サン・マイクロシステムズ・インコーポレートッド	SUN MICROSYSTEMS, INCORPORATED			アメリカ合衆国 94043 カリフォルニア州・マウンテンビュー・ガルシア アヴェニュー・2550			(72)発明者		アラン・シイ・ロジャーズ	アメリカ合衆国 94303 カリフォルニア州・パロアルト・ローマザード・			983			(74)代理人 弁護士 山川 政博		
(51)Int.Cl. ³ H 03 K 19/0185 17/10 17/687	識別記号	庁内整理番号	F I	技術表示箇所																																														
		9184-5 J																																																
		8941-5 J	H 03 K 19/ 00	1 0 1 B																																														
		7436-5 J	17/ 687	F																																														
	審査請求 未請求		請求項の数 3	FD (全 9 頁) 最終頁に読ク																																														
(71)出願人	591064003	サン・マイクロシステムズ・インコーポレートッド																																																
SUN MICROSYSTEMS, INCORPORATED																																																		
アメリカ合衆国 94043 カリフォルニア州・マウンテンビュー・ガルシア アヴェニュー・2550																																																		
(72)発明者		アラン・シイ・ロジャーズ																																																
アメリカ合衆国 94303 カリフォルニア州・パロアルト・ローマザード・																																																		
983																																																		
(74)代理人 弁護士 山川 政博																																																		
<table border="1"> <tr> <td>(21)出願番号</td> <td>特願平5-303313</td> <td>(71)出願人</td> <td>591064003</td> </tr> <tr> <td>(22)出願日</td> <td>平成 5 年(1993)11月10日</td> <td colspan="2">サン・マイクロシステムズ・インコーポレートッド</td> </tr> <tr> <td>(31)優先権主張番号</td> <td>9 7 4, 1 0 0</td> <td colspan="2">SUN MICROSYSTEMS, INCORPORATED</td> </tr> <tr> <td>(32)優先日</td> <td>1992年11月10日</td> <td colspan="2">アメリカ合衆国 94043 カリフォルニア州・マウンテンビュー・ガルシア アヴェニュー・2550</td> </tr> <tr> <td>(33)優先権主張国</td> <td>米国 (U S)</td> <td colspan="2">アラン・シイ・ロジャーズ</td> </tr> </table>					(21)出願番号	特願平5-303313	(71)出願人	591064003	(22)出願日	平成 5 年(1993)11月10日	サン・マイクロシステムズ・インコーポレートッド		(31)優先権主張番号	9 7 4, 1 0 0	SUN MICROSYSTEMS, INCORPORATED		(32)優先日	1992年11月10日	アメリカ合衆国 94043 カリフォルニア州・マウンテンビュー・ガルシア アヴェニュー・2550		(33)優先権主張国	米国 (U S)	アラン・シイ・ロジャーズ																											
(21)出願番号	特願平5-303313	(71)出願人	591064003																																															
(22)出願日	平成 5 年(1993)11月10日	サン・マイクロシステムズ・インコーポレートッド																																																
(31)優先権主張番号	9 7 4, 1 0 0	SUN MICROSYSTEMS, INCORPORATED																																																
(32)優先日	1992年11月10日	アメリカ合衆国 94043 カリフォルニア州・マウンテンビュー・ガルシア アヴェニュー・2550																																																
(33)優先権主張国	米国 (U S)	アラン・シイ・ロジャーズ																																																

(54)【発明の名称】 集積回路用電圧インタフフェース回路および制御回路をインタフフェースする方法

(57) 【要約】

【目的】 低電圧トランジスタのみを含んでいる低電圧集積回路を高電圧環境へインタフェースするための電圧インタフェース・バッファを提供する。

【構成】 低電圧の領域において高電圧領域を駆動するために、電圧インタフェース回路は分働回路とMOSトランジスタの適切なn井戸バイアスを採用する。高電圧の領域においては高電圧領域を駆動するために、電圧インタフェース回路は、高電圧を供給されるバイアス・バッファ・ラッチングスタをバイアスするためのバイアス回路を採用する。応用の例として、電圧インタフェース・バッファ・ラッチングスタは3ビットまたは3、3ビット集積回路チップがTTLとCMOS電圧レベルを駆動することを可能にする。更に、電圧インタフェース・バッファは2ビット集積回路チップがTTL電圧レベルを駆動することを可能にする。



【特許請求の範囲】

【請求項1】 第1の電源電圧 (VCC) とその電圧より高い第2の電源電圧 (VCC*) へ結合され、VCC* とVCCの差にほぼ等しいバイアス信号を発生するバイアス発生器回路と、

V_{CC}^* には等しい電圧の振れを持つパッド・ノードに結合され、パッド・ノードを V_{CC}^* 電圧の振れへ型協助し、前記バイアス信号を用いて振換回路をパッド・ノードの V_{CC}^* 電圧の振れから分離する出力回路と、前記バイアス信号を用いて振換回路をパッド・ノードの V_{CC}^* 電圧の振れから分離する入力回路と、

を備える、第1の電源電圧で動作する集積回路用電圧インタフェース回路。

【請求項2】 高い電圧の振れを持つパッド・ノードへ結合され、パッド・ノードを低い電圧へ駆動し、集積回路をパッド・ノードの高い電圧の振れから分離する出力ブランチ回路と、

パッド・ノードへ結合され、パッド・ノードの高い電圧の振
 幅へ駆動し、集積回路をパッド・ノードの出力アップ回路と、
 そこから分離する出力アップ回路と、

バック・ノードへ結合され、出力アップ回路を高い電圧の振れおよび出力可能化倍号に従って充電する出力アップ制御回路と、

・パッド・ノード上の電圧を検出し、集積回路をパッド・ノードの高い電圧の振れから分離する入力回路と、電圧を備える、高い電圧の振れから集積回路を保護する電圧・エンタフエース回路

【請求項3】 第1の電源電圧 (VCC) とその電圧より高い第2の電源電圧 (VCC*) の差にほぼ等しいバース値を発生する過程と。

また、このようにして、電源電圧（VCC）で動作する集積回路をシステムフェーズする方法。

【発明の詳細な説明】

【産業上の利用分野】本発明は集積回路の分野に関するものである。更に詳しくいえば、本発明は集積回路をパ
ーおよびより高い電圧範囲を持つ回路へインタフェース
することに関するものである。

[0002]

【従来の技術】集積回路のトランジスタ密度および速度を高くするために、回路設計者は集積回路上に製造されるトランジスタの物理的寸法を小さくしている。トランジスタ密度を高くすると、集積回路の機能をより高くす

ことが可能になる。しかし、集積回路のトランジスタの物理的寸法を小さくすると、集積回路の電源電圧もその対称に低くなる。たとえば、より新しい世代の高密度集積回路に含まれている金属酸化塩化半導体(MOS)トランジスタのチャネル長は、古い世代の高密度集積回路のMOSトランジスタのチャネル長より短く製造される。しかし、新しい世代のより薄いゲート酸化層は、厚いゲート酸化層を伴った従来の世代の高い電圧レベルに耐えることができない。

【0003】その結果、新しい世代のMOS集積回路は以前の世代のものより低い電源電圧で動作する。たとえば、新しい世代のMOS集積回路の多くは、以前の世代において共通の5Vでない3.3Vの電源電圧で動作する。しかし、多くの用途においては、低い電源電圧で動作する集積回路はより高い電圧で動作する装置および高電圧環境へ結合されることが多いため、低電圧集積回路が高電圧環境へ結合されることが多いため、低電圧MOSトランジスタの低いゲート酸化物層が徐々に劣化する。そうすると集積回路の信頼性が低くなり、最終的には故障する。

【0004】ここで、集積回路のパッドのための典型的な従来の三状態入力/出力回路が示されている図1を参照する。出力データ値信号101がトランジスタQ10、Q12のゲートへ結合される。出力可能性バー信号(QE)104がトランジスタQ11、Q15のゲートへ結合される。出力可能性(OE)信号105がトランジスタQ13、Q14のゲートを制御するために結合される。出力回路はプルアップトランジスタQ16とプルダウントランジスタQ17を有する。トランジスタQ16のn井戸106が電源電圧VCCへ結合される。入力回路はプルアップトランジスタQ18とプルダウントランジスタQ19で構成される。

【0005】従来の回路が正しく動作するために、電圧源VCCは出力バッファ102における電圧より高い電圧に等しくなければならず、出力バッファ102における電圧は共通ノード107における電圧より高い電圧の振幅を有する。VCC電圧が、それに等しくなく低くならない。VCC電圧より高い電圧の振れを有するバスその他の装置へ出力バッファ102が結合されるものとする、従来の回路に含まれているトランジスタのゲート駆動物周波数は降下しやすいため、トランジスタQ18とプルダウントランジスタQ19は故障しやすい。また、トランジスタQ16のドレインから、トランジスタQ16のn井戸まで、およびVCC電源電圧ノード100まで導通路が存在する。

【0006】低電圧集積回路を高電圧環境へインタフェースする従来の1つの技術は、低電圧環境と高電圧環境の間のバッファとしてインタフェース・チップを使用することである。しかし、そのようなインタフェース・チップは低電圧集積回路との間の信号のやり取りを大きく

遅延させる。さらに、そのようなインタフェース・チップは余分のシステム盤スペースを必要とし、システムのコストを増大する。

【0007】低電圧集積回路を高電圧環境へインタフェースする従来の別の技術は、低電圧集積回路に高電圧トランジスタを直接製造することである。高電圧トランジスタは高電圧環境と直接インタフェースし、しかも集積回路に含められている低電圧トランジスタを保護する。しかし、そのような低電圧は、より大きい高電圧トランジスタを製造するために集積回路の製造中に余分の処理工程を必要とする。余分の処理工程は製造コストを増大させ、製造歩留まりを低下させる。また、その解決技術は、集積回路が出力を生ずるために集積回路チップへより高い電圧を供給されなければならない。

【0008】
【発明が解決しようとする課題】本発明は低電圧集積回路を高電圧環境へインタフェースし、しかも集積回路自身としては低電圧トランジスタのみとすることができ、低電圧インタフェース回路を供給することである。

[0009]

【課題を解決するための手段】本発明は低電圧トランジスタのみを含んでいる低電圧集積回路を高電圧環境へインタフェースするための電圧インタフェース回路に関するものである。一実施例においては、電圧インタフェース部は、バッファは出力回路と入力回路を備える。出力回路は高い電圧の遅れを有するパッド・ノードに結合される。出力回路はパッド・ノードを駆動し、集積回路をパッド・ノードの高い電圧の遅れから分離する。出力回路は出力カプルアップ回路と出力カプルダウン回路を備える。出力カプルアップ回路はパッド・ノードを低電圧へ駆動し、集積回路をパッド・ノードの高い電圧の遅れから分離する。出力カプルアップ回路はパッド・ノードを集積回路のVCC電源電圧レベルへ駆動し、集積回路をパッド・ノードの高い電圧の遅れから分離する。出力カプルアップ回路のMOSトランジスタは接合分離を維持するため新設的なn井戸バイアスを有する。

【0010】入力回路はバッド・ノードにおける電圧を出力し、集積回路をバッド・ノードの高い電圧のレベルに出力し、集積回路をバッド・ノードの低い電圧のレベルに出力する。入力回路は出力アンプ回路の保護を必要としているノードを介してバッド・ノード電圧を輸出する。必要に応じてVCCのレベルを入力信号へ帰帰させるために入力回路の実施例は、より高いVCC*電圧のレベルの回路またはVCCを駆動するために、集積回路が第1のVCC電源と第2のVCC電源を動作できるようにする。この電圧インタフェース回路は、バイアス発生器回路と、出力回路と、入力回路と、レベル変換回路とで構成される。

【0011】バイアス発生器回路は電源電圧VCCとVCC*を検出し、VCCとVCC*の間の差にほぼ等しいバイアス信号を発生する。バイアス信号は、高い電圧

環境とインタフェースするための入力回路および出力回路のトランジスタを分離する際に用いられる。出力回路はVCC*に、しばしば等しい電圧の振れを有するパッド・ノード*に結合される。出力回路はパッド・ノードをVCC*電圧の振れへ駆動し、集積回路をパッド・ノードのVCC*電圧の振れから分離する。出力回路はパッド・ノードの高い電圧を検出し、集積回路をVCC*電圧の振れから分離する。このハイパス信号を使用する。出力レベル変換回路はハイパス信号を検出し、出力データノードのVCC電圧の振れとパッドのVCC*電圧の振れとの間で変換する。

【0012】この明細書では低電圧トランジスタのみを含む低電圧集積回路を高電圧環境へインタフェースするための電圧インバータ回路を説明する。以下の説明においては、本発明を完全に理解できるようにするため、同図アークロケータ、および部品について述べる。しかし、それらの特定の詳細なしに本発明を実施できることが当業者には明らかであらう。他の場合には、本発明を不必要に示さないようにするために、周知の図は略図で示した。

【0013】
【実施例】図2はVCC電源電圧で動作する集積回路をより高い電圧回路へインタフェースするための電圧インタフェース回路の一実施例を示す。この実施例においては、集積回路は3.3Vにほぼ等しいVCCで動作する。この電圧インタフェース回路はVCC電圧の振れが認められるより高い電圧の回路またはバスを制御回路が駆動できるようにする。たとえば、電圧インタフェース回路は集積回路がT₁レベルのバスを駆動することを可能にする。この電圧インタフェース回路は三極制御御部と、出力フルアップ部と、出力フルアツプ部と、出力フルアツプ制御回路と、入力部とで構成される。

【0014】三状態制御部はピチャネル・トランジスタQ29、Q30、Q31と、ピチャネル・トランジスタQ32、Q33、Q34とで構成される。三状態モードは、ノード130における出力可能性(OE)信号と、ノード132における出力可能性バー(OE)信号と、ノード132における出力可能性バー(OE)信号と一方の帰納出力可能性信号により決定される。回路が三状態モードにある時は、OE130は低く、OE132は高い。OE130における低電圧はトランジスタQ32をスイッチオンしてノード136における電圧を引き上げる。ノード136における高電圧は出力アルファップトランジスタQ23がターンオンすることを阻止する。OE132における高電圧はトランジスタQ34をスイッチオンしてノード138における電圧を引き下げる。ノード138における低電圧は出力アルファアップトランジスタQ20がターンオンすることを阻止する。

【0015】回路が駆動モードにある時は、OE130は高く、OE132は低い。出力データ・ノード140における電圧レベルは集積回路の対応するピンのため

の出力を示す。出力データ・ノード140はトランジスタQ29とQ33のゲートへ結合される。出力データと出力データ・ノード140が高いと、トランジスタQ33はノード136を、駆動モードにあるトランジスタQ30とQ32を介して低く引き下げる。ノード136における低電圧は出力アンプトランジスタQ23をターンオンする。出力データと出力データ・ノード140が低いと、トランジスタQ29はノード138を、駆動モードにあるトランジスタQ30とQ32を介して高く引き上げる。ノード138における高電圧は出力フルダートランジスタQ20をターンオンする。

【0016】出力ブランキング間にはチャネルフルダウ
ン・トランジスタQ20とチャネル・トランジスタQ21
で構成される。トランジスタQ21はトランジスタQ2
と接続される。トランジスタQ20はトランジスタQ2
のゲートはVCCと結合される。トランジスタQ21
のゲートはVCCにあるから、トランジスタQ21はノ
ード122が約2V以上上昇することを阻止する。そ
の結果、出力ノード120と122における最高電圧は
約3Vである（ノード120が別の装置により5V+ε
駆動される場合）。トランジスタQ21のゲート酸化物層
におけるノード120と124の間の最高電圧は3.3
V（ノード120が5Vの時）、または1.7Vである
（ノード120が0Vの時）。ノード122と124の
間の最高電圧は3.3Vである。

【0017】出力アルファップ部はチャネル・トランジスタQ22と出力アルファップチャネル・トランジスタQ23と、チャネル・トランジスタQ24とで構成される。チャネル・トランジスタQ22のn井戸は、通常行われるV_{CC}-n結合されるのではなく、浮動する。n井戸126がV_{CC}-n接続されるものとする、出力ノード120における電圧が5Vへ回帰するに上昇するにつれて、トランジスタQ22のドレインとn井戸の間のp-n結合が大きい電流を流さる。

【0018】かし、n井戸126はVCCへ接続され、n井戸126における電圧が5Vへ低下していきながら、出力ノード120における電圧がn井戸126における電圧にVCCより高く上昇する。この結果、pチャネル・トラランジスタQ22、Q23、Q24の接合分極は機能して、この回路が出力ノード120において駆動状態を保つ。この回路が出力ノード120において駆動している時は、トランジスタQ24はn井戸126をVCCへ向けに駆動する。三状態モードにおいては、n井戸126はVCCに止まり、またはノード134とn井戸126の間のp-n接合がノード126をVCCマイナスイオード電圧降下へ駆動する。出力ノード120における電圧レベルが高くなると、n井戸126はノード120における電圧マイナスイオード電圧降下へ駆動される。

【0019】出力ブアップ制御回路はトランジスタQ25とQ28で構成される。ノード120における電圧

が5Vになる、m井戸12.6における電圧は4.5Vに達することがわかっている。その場合には、トランジスタQ22は三状態モード中にターンオンすることがある。しかし、トランジスタQ25のゲートがVCCである。出力ノード120が5Vへ上昇するにつれてpチャネル・トランジスタQ25はターンオンし、出力ノード120の5Vレベルまで引き上げる。トランジスタQ25はノード128をターンオンし、出力ノード120の5Vレベルより引き上げる。ノード128における5VレベルはトランジスタQ22の状態モードに制限されるようにする。トランジスタQ28はノード120からノード128の充電を支援する。

【0020】一時のディチャネル・トランジスタQ26、Q27により、出力ノード120とノード128における高電圧状態の後で三状態モードが取り消された時に、トランジスタQ22は確実にターンオンされる。三状態モードが取り消されると、信号OE130は高くなり、信号OEB132は低くなる。OE130における高電圧はトランジスタQ27をターンオンし、ノード128をターンオンされたトランジスタQ26を通じて引き下げる。

【0021】入力はpチャネル・トランジスタQ35、Q37と、nチャネル・トランジスタQ36として構成される。トランジスタQ35は、ノード122における電圧が低い時に、入力データノード142における電圧を引き下げる。トランジスタQ36は、ノード122における電圧が高い時に、入力データノード142における電圧を引き下げる。トランジスタQ22の漏れのため、ノード122は限られた電圧の振れを持つ。pチャネル・トランジスタQ37はノード122へ導通するために結合される。トランジスタQ37はノード122に全VCC電圧の振れを供給する。

【0022】図3～図5は電圧インフュージョン回路の実施例を示す。図示の回路はVCC電源電圧に動作する集積回路であり、高いVCC*電圧の振れを抑え、また、あるバース→駆動動作を可能にする。この実施例においては、VCCは3.3Vにほぼ等しく、VCC*は5Vに等しい。集積回路に含まれる全てのトランジスタの回路はP_{mos}部と、三状態制御を行う出力部と、入力部とで構成される。VCC電源電圧は集積回路のVCC電源電圧ピンにより供給される。VCC*電源電圧は電圧増大回路により集積回路で発生できる。あるいは、VCC*電源電圧は集積回路のVCC*電源電圧ピンを介して供給できる。

【0023】図3は P_{bias} 部を示す。この P_{bias} 部は P_{bias} 電圧を発生する。 P_{bias} 部は n チャネル・トランジスタQ59、Q61、Q62、Q63、Q64と、 p チャネル・トランジスタQ58、Q60とで構成される。

トランジスタQ58はP_{bias}部のための電流源である。トランジスタQ59、Q60、Q62、Q64は電流源により制御される電流ミラーである。P_{bias}部150の電圧は電源電圧VCCと電源電圧VCC*の差にほぼ等しい。後で詳しく説明するように、P_{bias}部150は入力部と出力部に含まれているトランジスタを保護するために用いられる。

【0024】図4はトランジスタQ40～Q57で構成された出力部を示す。三状態モードはOE182とOE180により決定される。OE180はOE182の補数である。この回路が三状態モードにあると、OE182は低く、OE180は高い。出力部は集積回路のピンのための出力データを出力データノード162に変換する。出力部は出力データノードにおける出力データを駆動する。

【0025】nチャネル・トランジスタQ56はフルダウンチャネル・トランジスタQ57を過電圧から保護する。トランジスタQ56のゲートはノード152におけるVCCへ結合される。出力データノード172における電圧が5Vに達したとしても、トランジスタQ56はノード158が約2V以上に上昇することを阻止する。その結果、出力データノード172とノード158間の最高電圧は約3Vである。出力データノード172とノード152間トランジスタQ56の最高ゲート駆動電圧は3.3V（出力データノード172が0Vの時）、または1.7V（出力データノード172が5Vの時）である。

【0026】同様にして、pチャネル・トランジスタQ55はpチャネル・トランジスタQ54を過電圧から保護する。トランジスタQ55のゲートはP_{bias}へ結合される。トランジスタQ55のゲートにおけるP_{bias}電圧レベルにより、トランジスタQ54、Q55のゲート駆動電圧は加えられる電圧を3.3V以下に維持する。

【0027】トランジスタQ40～Q53は、出力データノード162におけるVCC電圧の振れと出力データノード172におけるVCC*電圧の振れとの間の差レベル変換器として機能する。出力データノード162における高電圧はnチャネル・トランジスタQ45、Q52をターンオンしてノード174と168を引き下げ、出力データノード162における低電圧はpチャネル・トランジスタQ46、Q47をターンオンしてノード174と168を引き上げる。ノード174における高電圧はnチャネル・トランジスタQ44をターンオンする。その結果として電流がpチャネル・トランジスタQ41とnチャネル・トランジスタQ42を流れる。そうするとノード164における電圧が引き下げられる。ノード164における低電圧はpチャネル・トランジスタQ48をターンオンさせる。

【0028】トランジスタQ48とQ54をターンオンするため、トランジスタQ40とQ48はノード16

4と170における電圧を回復させる。トランジスタQ48がターンオンすると、トランジスタQ48を流れる電流がトランジスタQ49、Q50、Q51に電流を流させる。そうすると、ノード168は高く振れる。ノード168における高電圧はトランジスタQ57をターンオンして出力データノード172を引き下げる。トランジスタQ48を流れる電流はノード170も高くする。ノード170における高電圧レベルはトランジスタQ54をターンオンする。

【0029】出力データノード162が高電圧になると、トランジスタQ52はターンオンしてノード168を引き下げる。ノード168における低電圧はトランジスタQ57をターンオフする。ノード170がVCC*より低い電圧になると、トランジスタQ54はターンオンする。ノード170における低電圧はトランジスタQ40もターンオンし、トランジスタQ48をターンオフする。

【0030】図5は入力部を示す。この入力部はトランジスタQ56～Q71で構成される。入力データノード16と158から取り出される、pチャネル・トランジスタQ67、Q68と、nチャネル・トランジスタQ69、Q70は、ノード156、168におけるVCC*電圧の振れと、ノード160におけるVCC電圧の振れとの間のレベル変換器として機能する。nチャネル・トランジスタQ69はnチャネル・トランジスタQ70を保護する。トランジスタQ69のゲートはVCCへ結合される。pチャネル・トランジスタQ68はpチャネル・トランジスタQ67を保護する。トランジスタQ68のゲートはP_{bias}150へ結合される。

【0031】ノード154における電圧が低い時は、pチャネル・トランジスタQ65は入力データノード160における電圧を引き上げる。ノード154における電圧が高い時は、トランジスタQ66は入力データノード160における電圧を引き下げる。pチャネル・トランジスタQ71はノード154へ搬送を行うために結合される。トランジスタQ71は全VCC電圧の振れをノード154へ供給する。

【図面の簡単な説明】

【図1】集積回路のための典型的な従来の入力/出力回路と、高電圧を受けた時に破壊されやすいトランジスタを示す。

【図2】VCC電源電圧で動作する集積回路をより高い電圧環境へインタフェースするための電圧インタフェース回路の一実施例を示す。

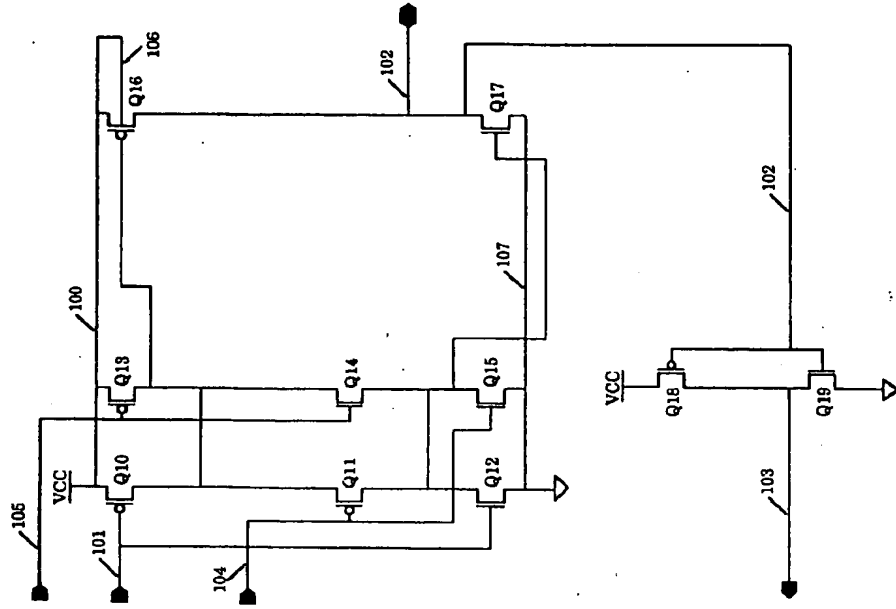
【図3】VCC電源電圧で動作する集積回路がより高いVCC*電圧の振れの回路またはバスを駆動できるようにする電圧インタフェース回路の一実施例を示す。

【図4】VCC電源電圧で動作する集積回路がより高いVCC*電圧の振れの回路またはバスを駆動できるようにする。

にする電圧インタフェース回路の別の実施例を示す。

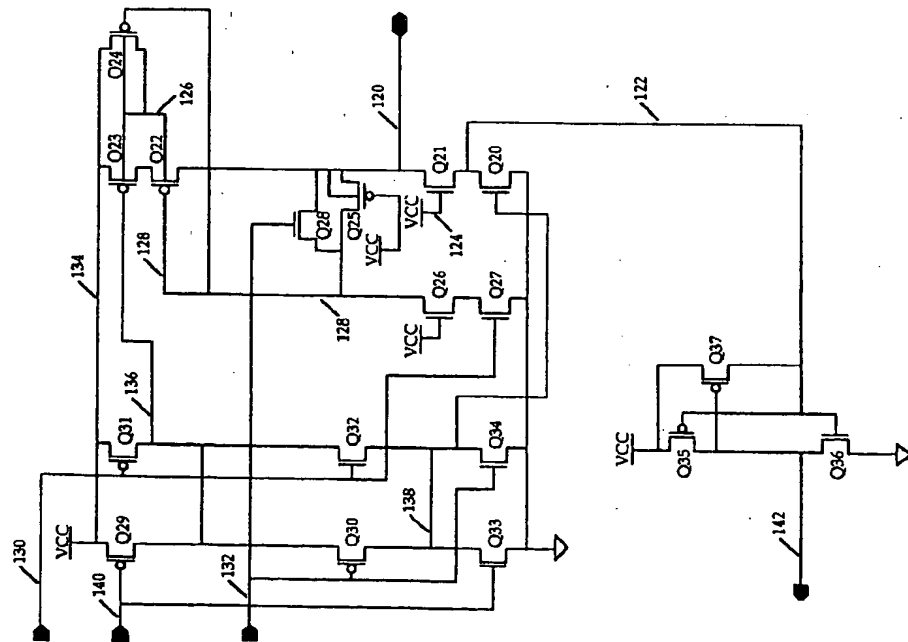
【図5】VCC電源電圧で動作する集積回路がより高いVCC*電圧の振れの回路またはバスを駆動できるようにする電圧インタフェース回路の更に別の実施例を示す。

【図1】



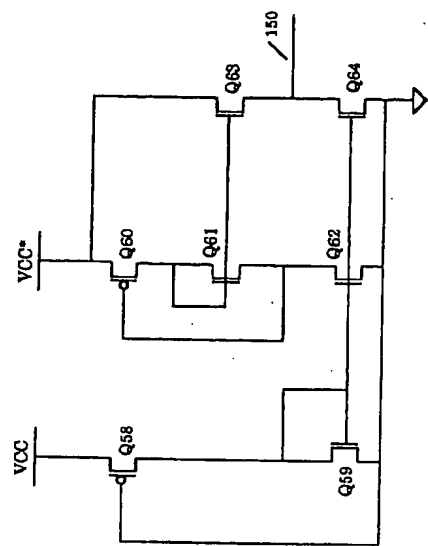
(7)

【图2】

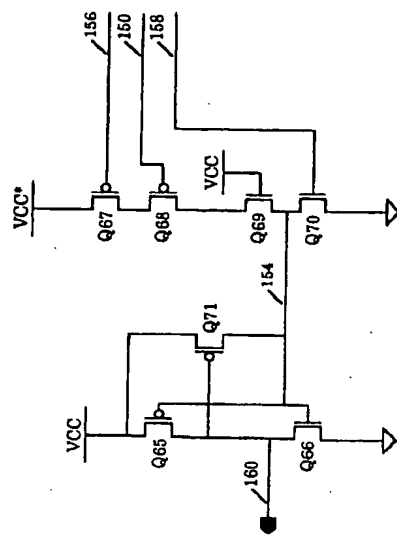


(8)

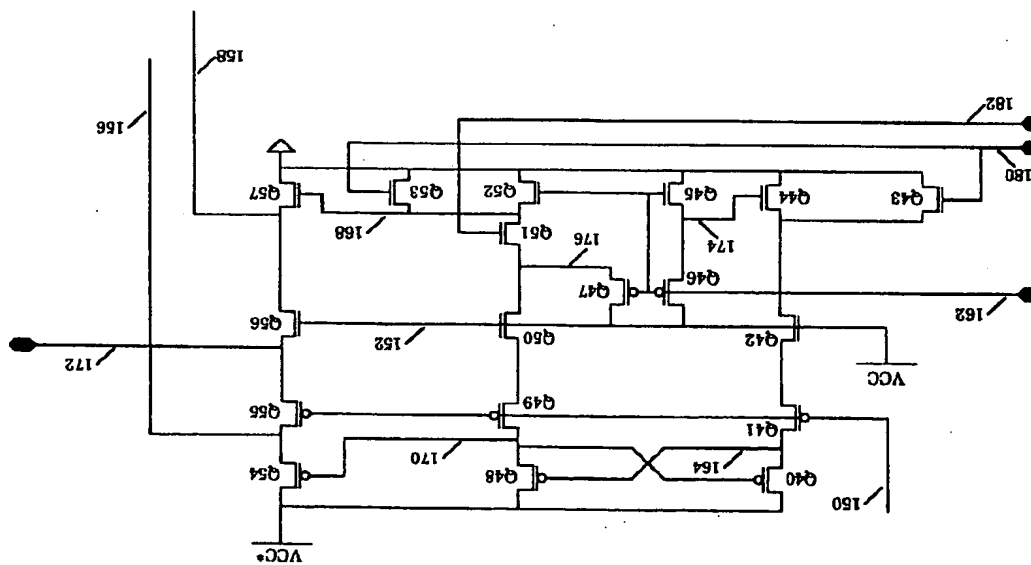
【圖3】



【图5】



【図4】



フロントページの続き

(51) Int. Cl. 5

H03K 19/003

識別記号 庁内整理番号

F 1

技術表示箇所

E 8841-5 J